

PAT-NO: JP403192741A
DOCUMENT-IDENTIFIER: JP 03192741 A
TITLE: MANUFACTURE OF CIRCUIT BOARD WITH BUMP
PUBN-DATE: August 22, 1991

INVENTOR-INFORMATION:

NAME
HASHIZUME, JIRO
TAKAMI, SHIGENARI
SAITO, HIROSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY
MATSUSHITA ELECTRIC WORKS LTD N/A

APPL-NO: JP01333407

APPL-DATE: December 21, 1989

INT-CL (IPC): H01L021/60, H05K003/24

US-CL-CURRENT: 430/22, 430/30

ABSTRACT:

PURPOSE: To make it possible to form precisely bumps on a circuit to the circuit by a method wherein bump exposure of one chip is repeated while a positional error generated in a circuit formation process is corrected by a pattern recognition

CONSTITUTION: A recognition mark 5 is detected and thereafter, as the distances (x) and (y) between each bump 4 and the mark 5 are determined in a design, an X-Y table 9 is driven by a numerical control and at the same time, a laser spot light is irradiated by a laser beam output device 7 and a resist at bump formation parts on a board 1 is removed by the energy of the spot light. After a necessary bump exposure ends, the table 9 is moved by a necessary distance and the next chip mounting parts 2 are searched. At this time, as

*bump formed
on same surf.
as rec. mark*

there is an error in the formation of a circuit, the formed error is corrected while the next recognition mark 5 is detected by a camera 6 and the bump exposure is repeated. Thereby, the bumps on the circuit can be precisely formed to the circuit.

COPYRIGHT: (C)1991, JPO&Japio

⑯公開特許公報(A) 平3-192741

⑯Int.Cl.⁵
H 01 L 21/60
// H 05 K 3/24識別記号 311 S 6918-5F
Z 6736-5E

⑯公開 平成3年(1991)8月22日

審査請求 未請求 請求項の数 1 (全3頁)

⑯発明の名称 バンプ付き回路基板の製法

⑯特 願 平1-333407
⑯出 願 平1(1989)12月21日

⑯発明者 橋爪二郎 大阪府門真市大字門真1048番地
 ⑯発明者 高見茂成 大阪府門真市大字門真1048番地
 ⑯発明者 斎藤宏 大阪府門真市大字門真1048番地
 ⑯出願人 松下電工株式会社 大阪府門真市大字門真1048番地
 ⑯代理人 弁理士 佐藤成示 外1名

明細書

1. 発明の名称

バンプ付き回路基板の製法

2. 特許請求の範囲

(1) 基板内に複数のチップ実装部を有する回路基板若しくは1チップを実装する基板をワークサイズに複数個面付けした回路基板のバンプ形成において、1チップ分のバンプ露光のリピートをパターン認識により回路形成工程で生じた位置誤差を補正しながら行うことを特徴とするバンプ付き回路基板の製法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、基板内に複数のチップ実装部を有するバンプ付き回路基板の製法に関する。

[従来の技術]

バンプ付き回路基板の製造法を概略すると、先ず、基板への回路形成法であるが、サブトラクティブ法では、全面に導体(例えば銅張り積層板)を有する基板にエッチングレジストを塗布し、フ

ィルムマスクで露光・現像し、エッチングを行ったり、一方、セラミック基板等で一般的な導体ペースト(例えばAgPdペースト)をスクリーン印刷で回路形成を行っている。

更に、その上に半導体チップを実装するためのバンプ、例えば金バンプを形成する場合は、回路形成した基板に更にレジストを塗布し、バンプメッキのためのマスク(この場合、バンプは微細寸法を要求されるので、マスク材質は石英ガラス等を用いる)を用いて露光・現像して、バンプ形成位置にレジスト窓開けを行い、回路側から電流を供給し、電解金メッキを行うことによってバンプ形成基板を製造している。

[発明が解決しようとする課題]

しかしながら、回路形成は前述のような製法では、フィルムマスクの工程上の温度変化や基板の伸縮等により、寸法変化、誤差が避けられず(例えばセラミック基板の場合、100μm当たり100μm前後の寸法誤差が生じる)、その回路上にバンプを形成しようとしても、基板内の一つのIC実装部

にマスクを合わせても、他の実装部ではズレが生じ、バンプ形成ができないという不都合が生じていた。

本発明は、上記問題点に鑑みなされたもので、その目的とするところは、基板内に複数のチップ実装部を有するバンプ付き回路基板の製造において、回路上のバンプが回路に対して精度良く形成できる製法を提供することにある。

【課題を解決するための手段】

本発明は上記課題を解決するため、基板内に複数のチップ実装部を有する回路基板若しくは1チップを実装する基板をワークサイズに複数個面付けした回路基板のバンプ形成において、1チップ分のバンプ露光のリピートをバターン認識により回路形成工程で生じた位置誤差を補正しながら行うことを特徴とする。

【実施例】

第1図は、いわゆるマルチチップ基板を示す平面図で、基板1内に5個のICチップ実装部2がレイアウトされており、そのインナーリード3の

9を駆動させる。

認識マーク5を検知した後は、認識マーク5に対する各バンプ4のx・y距離（第2図において x_1, y_1 で示す）は設計上決定されているので、既定制御によりXYテーブル9を駆動すると共に、レーザービーム出力装置7によりレーザースポット光を当て、そのエネルギーにより基板（レジストが塗布された）1上のバンプ形成部のレジストを除去する。このとき、レーザー光の焦点及びエネルギーを、レジスト除去レベルに調整することは言うまでもない。

所要のバンプ露光を終了した後は、XYテーブル9を所定の距離（第1図において $\Delta x, \Delta y$ で示す）だけ移動させて、次のチップ実装部2をサーチする。このとき、前述したように回路形成に誤差があるので、カメラ6により次の認識マーク5を検知しながら、形成誤差を補正することになる。その後は、前述のようなバンプ露光が繰り返されることとなる。

以上のようなステップをICチップ数だけ繰り

先端にバンプ4を形成されている。

第2図は上記チップ実装部2の拡大図で、その中心には、位置認識のための認識マーク（例えば十字マーク）5が、回路形成時に同一マスクで導体回路として形成されている。

第3図は本発明に用いる露光装置の一例で、複数のチップ実装部2の位置認識を行うモニターカメラ6と、バンプマスク露光用のレーザービーム出力装置7と、基板1を真空吸着する吸着機構付き回転テーブル8と、基板1の位置決めを行うXYテーブル9と、XYテーブル9を制御するコントローラ10とを備えている。

次に、上記装置を用いて基板1上に形成された複数のチップ実装部2にバンプを形成する方法を説明する。

まず、基板1を回転テーブル8に搭載し、真空吸着させた後、モニターカメラ6により基板1の平行出しと、最初のチップ実装部2（バンプ形成部）を検知するため、サーボモータ（図示せず）により制御される回転テーブル8とXYテーブル

9を駆動することにより、基板1内の各チップ実装部2における各バンプは高精度で形成される。

なお、バターン認識技術を用いることにより、本実施例のような認識マーク5が無い場合でも、インナーリード3の形状により、位置出しができることは言うまでもない。また、レーザー光を照射する代わりに、各ICチップ実装部サイズの小さなバンプ露光用マスク（第4図参照）をステップ移動させても、前記実施例と同様の効果を奏する。

さらに、上記実施例では、基板内に複数のチップ実装部を有する回路基板で説明したが、本発明は、1チップを実装する基板をワークサイズに複数個面付けした基板のバンプ形成にも適用できるものである。

【発明の効果】

本発明は上記のように、基板内に複数のチップ実装部を有する回路基板若しくは1チップを実装する基板をワークサイズに複数個面付けした回路基板のバンプ形成において、1チップ分のバンプ

露光のリピートをパターン認識により回路形成工程で生じた位置誤差を補正しながら行うことを特徴とするので、回路上へのバンプ形成が回路に対して精度良く形成できる。

4. 図面の簡単な説明

第1図はマルチチップ基板を示す平面図、第2図は同上のチップ実装部の拡大図、第3図は本発明に用いる露光装置の一例を示す簡略図、第4図はバンプ露光用マスクを示す平面図である。

1…基板、2…ICチップ実装部、3…インナーリード、4…バンプ。

出願人 松下電工株式会社

代理人 弁理士 竹元敏丸（ほか2名）

